

BEST AVAILABLE COPY  
BEST AVAILABLE COPY

**Family list**

**3** family members for:

**JP2002359347**

Derived from 2 applications.

**1 SEMICONDUCTOR DEVICE, ITS MANUFACTURING METHOD, CIRCUIT BOARD,  
AND ELECTRONIC APPARATUS**

Publication info: JP2002359347 A - 2002-12-13

**2 Semiconductor device and manufacturing method therefor, circuit substrate,  
and electronic apparatus**

Publication info: US6660545 B2 - 2003-12-09

US2002151171 A1 - 2002-10-17

---

Data supplied from the *esp@cenet* database - Worldwide

DIALOG(R)File 352:Derwent WPI

(c) 2004 Thomson Derwent. All rts. reserv.

015159307 \*\*Image available\*\*

WPI Acc No: 2003-219835/200321

XRAM Acc No: C03-055812

XRPX Acc No: N03-175296

Manufacture of semiconductor device for electronic apparatus, e.g. cellular phone, involves forming conductive layer by coating part of fine particles by ink-jet method and converting liquid into conductive layer by heat treatment

Patent Assignee: SEIKO EPSON CORP (SHIH )

Inventor: FURUSAWA M

Number of Countries: 002 Number of Patents: 003

Patent Family:

| Patent No      | Kind | Date     | Applicat No  | Kind | Date     | Week     |
|----------------|------|----------|--------------|------|----------|----------|
| US 20020151171 | A1   | 20021017 | US 200295690 | A    | 20020313 | 200321 B |
| JP 2002359347  | A    | 20021213 | JP 200267725 | A    | 20020312 | 200321   |
| US 6660545     | B2   | 20031209 | US 200295690 | A    | 20020313 | 200381   |

Priority Applications (No Type Date): JP 200267725 A 20020312; JP 200193926 A 20010328

Patent Details:

| Patent No      | Kind | Lan | Pg | Main IPC     | Filing Notes |
|----------------|------|-----|----|--------------|--------------|
| US 20020151171 | A1   |     | 19 | H01L-021/44  |              |
| JP 2002359347  | A    |     | 11 | H01L-025/065 |              |
| US 6660545     | B2   |     |    | H01L-021/00  |              |

Abstract (Basic): US 20020151171 A1

NOVELTY - A semiconductor device is made by forming a penetration hole in a semiconductor chip (10) having an electrode and forming a conductive layer in the region including the inside of the penetration hole. The conductive layer is made by coating a part of the fine particles by an ink-jet method and the liquid is converted into the conductive layer by a heat treatment.

USE - Used for a circuit substrate or electronic apparatus (claimed), e.g. a note type personal computer or cellular phone.

ADVANTAGE - The process can perform electrical connection with high reliability and ease.

DESCRIPTION OF DRAWING(S) - The figure is a diagram showing the production of the semiconductor device.

Semiconductor chip (10)

Insulating film (12, 16, 18, 28, 30)

Electrode (14)

Hole (26, 42, 48)

Dent (44, 46)

pp: 19 DwgNo 4c/14

Title Terms: MANUFACTURE; SEMICONDUCTOR; DEVICE; ELECTRONIC; APPARATUS;

CELLULAR; TELEPHONE; FORMING; CONDUCTING; LAYER; COATING; PART; FINE;  
PARTICLE; INK; JET; METHOD; CONVERT; LIQUID; CONDUCTING; LAYER; HEAT;  
TREAT

Derwent Class: L03; U11; X24

International Patent Class (Main): H01L-021/00; H01L-021/44; H01L-025/065

International Patent Class (Additional): H01L-021/288; H01L-021/3205;

H01L-025/07; H01L-025/18; H01L-029/41

File Segment: CPI; EPI

DIALOG(R)File 347:JAPIO

(c) 2004 JPO & JAPIO. All rts. reserv.

07490829    \*\*Image available\*\*

SEMICONDUCTOR DEVICE, ITS MANUFACTURING METHOD, CIRCUIT BOARD, AND  
ELECTRONIC APPARATUS

PUB. NO.:        2002-359347 [JP 2002359347 A]  
PUBLISHED:       December 13, 2002 (20021213)  
INVENTOR(s):    FURUSAWA MASAHIRO  
APPLICANT(s):   SEIKO EPSON CORP  
APPL. NO.:       2002-067725 [JP 200267725]  
FILED:           March 12, 2002 (20020312)  
PRIORITY:        2001-093926 [JP 200193926], JP (Japan), March 28, 2001  
                  (20010328)  
INTL CLASS:      H01L-025/065; H01L-021/288; H01L-021/3205; H01L-025/07;  
                  H01L-025/18; H01L-029/41

#### ABSTRACT

PROBLEM TO BE SOLVED: To provide a semiconductor device where electric connection can be easily materialized with high reliability, its manufacturing method, a circuit board, and an electronic apparatus.

SOLUTION: The manufacturing method for a semiconductor device includes a process of forming a through hole 50 in a semiconductor chip 10 having an electrode 14, and forming a conductive layer 70 in a region including the inside of the through hole 50. For the through hole 50, the middle is made larger than the brim of its opening, and the conductive layer 70 is made by applying liquid containing metallic fine particles by ink jet method.

COPYRIGHT: (C) 2003, JPO

?

(19) 日本国特許庁 (J P)

# (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-359347

(P 2 0 0 2 - 3 5 9 3 4 7 A)

(43) 公開日 平成14年12月13日 (2002. 12. 13)

(51) Int. Cl. <sup>7</sup>

識別記号

F I

テマコード (参考)

H01L 25/065

H01L 21/288

Z 4M104

21/288

25/08

Z 5F033

21/3205

21/88

J

25/07

29/44

B

25/18

審査請求 未請求 請求項の数21 O L (全11頁) 最終頁に続く

(21) 出願番号 特願2002-67725 (P 2002-67725)

(71) 出願人 000002369

(22) 出願日 平成14年3月12日 (2002. 3. 12)

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(31) 優先権主張番号 特願2001-93926 (P 2001-93926)

(72) 発明者 古沢 昌宏

長野県諏訪市大和3丁目3番5号 セイコ

(32) 優先日 平成13年3月28日 (2001. 3. 28)

ーエプソン株式会社内

(33) 優先権主張国 日本 (J P)

(74) 代理人 100095728

弁理士 上柳 雅誉 (外2名)

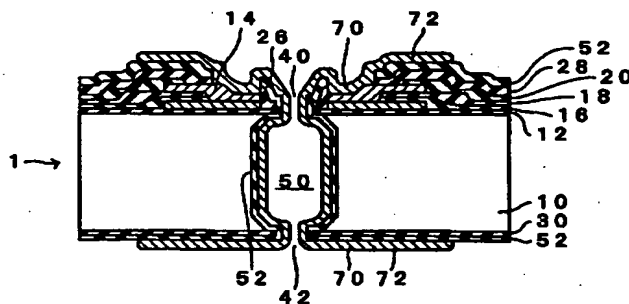
最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法、回路基板並びに電子機器

(57) 【要約】

【課題】 電気的な接続を高い信頼性を以て、容易に図ることができる半導体装置及びその製造方法、回路基板並びに電子機器を提供することにある。

【解決手段】 半導体装置の製造方法は、電極14を有する半導体チップ10に貫通穴50を形成し、貫通穴50の内側を含む領域に導電層70を形成する工程を含む。貫通穴50は、中間部が開口端部よりも大きく形成され、導電層70は金属微粒子を含有した液体をインクジェット法にて塗布して形成する。



## 【特許請求の範囲】

【請求項1】電極を有する半導体素子に貫通穴を形成する第1工程と、前記貫通穴の内側を含む領域に導電層を形成する第2工程と、を含む半導体装置の製造方法において、前記導電層の形成方法は、金属微粒子を含有する液体をインクジェット法によって前記半導体素子の一部に塗布する工程と、熱処理にて前記液体を前記導電層に変換する工程と、を含む半導体装置の製造方法。

【請求項2】請求項1記載の半導体装置の製造方法において、前記電極に、前記貫通穴と連通する穴を形成し、前記導電層を、前記電極の少なくとも一部に積層して形成する半導体装置の製造方法。

【請求項3】請求項1又は請求項2記載の半導体装置の製造方法において、前記貫通穴を、開口端部と、前記開口端部よりも径の大きい中間部と、を有する形状で形成する半導体装置の製造方法。

【請求項4】請求項3記載の半導体装置の製造方法において、前記中間部を、全ての部分でほぼ同じ径で形成し、前記貫通穴を、前記開口端部と前記中間部を接続するテーパー部をさらに有する形状で形成する半導体装置の製造方法。

【請求項5】請求項1から請求項4のいずれかに記載の半導体装置の製造方法において、前記第1工程で、前記貫通穴よりも径の小さい小孔を予め形成し、前記小孔を拡大させて前記貫通穴を形成する半導体装置の製造方法。

【請求項6】請求項5記載の半導体装置の製造方法において、前記第1工程で、前記貫通穴を形成する位置に窪みを形成し、前記窪みによって位置決めして前記小孔を形成する半導体装置の製造方法。

【請求項7】請求項5又は請求項6記載の半導体装置の製造方法において、前記小孔をレーザービームで形成し、ウェットエッチングによって前記小孔を拡大させる半導体装置の製造方法。

【請求項8】請求項1から請求項7のいずれかに記載の半導体装置の製造方法において、電気的な接続部を形成する工程を含む半導体装置の製造方法。

【請求項9】請求項8記載の半導体装置の製造方法において、前記接続部を、第2工程で前記導電層の一部として形成する半導体装置の製造方法。

【請求項10】請求項1から請求項9のいずれかに記載の半導体装置の製造方法において、前記第1工程後であって、前記第2工程前に、前記貫通穴の内壁面に絶縁膜を形成する工程をさらに含み、前記第2工程で、前記絶縁膜上に前記導電層を形成する半導体装置の製造方法。

【請求項11】請求項10記載の半導体装置の製造方法において、前記絶縁膜を、化学気相堆積によって形成する半導体装置の製造方法。

【請求項12】請求項1から請求項11のいずれかに

記載の半導体装置の製造方法において、前記第1工程後であって、前記第2工程前に、前記液体を塗布しない領域を、前記液体に対して撥液性とする表面処理を行なう半導体装置の製造方法。

【請求項13】請求項12記載の半導体装置の製造方法において、前記表面処理は大気圧プラズマ処理である半導体装置の製造方法。

【請求項14】請求項12記載の半導体装置の製造方法において、前記表面処理は表面に自己組織化膜を形成するものである半導体装置の製造方法。

【請求項15】請求項1から請求項13のいずれかに記載の半導体装置の製造方法において、前記半導体素子は、半導体チップである半導体装置の製造方法。

【請求項16】請求項1から請求項13のいずれかに記載の半導体装置の製造方法において、前記半導体素子は、半導体ウエーハの一部である半導体装置の製造方法。

【請求項17】請求項1から請求項15のいずれかに記載の方法によって製造された半導体装置を積層し、上下の半導体装置の前記導電層を電気的に接続する工程を含む半導体装置の製造方法。

【請求項18】請求項15を引用する請求項16記載の半導体装置の製造方法において、前記半導体ウエーハを個片に切断する工程を含む半導体装置の製造方法。

【請求項19】請求項1から請求項17のいずれかに記載の方法により製造された半導体装置。

【請求項20】請求項1から請求項17のいずれかに記載の方法により製造された半導体装置が実装された回路基板。

【請求項21】請求項1から請求項17のいずれかに記載の方法により製造された半導体装置を有する電子機器。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体装置及びその製造方法、回路基板並びに電子機器に関する。

## 【0002】

【発明の背景】近年、複数の半導体チップを積み重ねた半導体装置が開発されている。その多くは、半導体チップの電極にワイヤ又はリードをボンディングして電気的な接続を図ったものであったが、ワイヤ等を設けたために小型化に限界があった。また、半導体チップに貫通穴を形成し、貫通穴に溶融したハンダを充填して電気的な接続を図ることも開発されている。しかし、細い貫通穴にハンダを充填するとボイドが発生してしまい、電気的接続の信頼性を確保しにくい。

【0003】本発明は、この問題点を解決するものであり、その目的は、電気的な接続を高い信頼性を以て、容易に図ることができる半導体装置及びその製造方法を提供することにある。

## 【0004】

【課題を解決するための手段】(1)本発明に係る半導体装置の製造方法は、電極を有する半導体素子に貫通穴を形成する第1工程と、前記貫通穴の内側を含む領域に導電層を形成する第2工程と、を含み、前記導電層の形成方法は、金属微粒子を含有する液体をインクジェット法によって前記半導体素子の一部に塗布する肯定と、熱処理にて前記液体を前記導電層に変換する工程とを含む、本発明によれば、貫通穴の内側に金属微粒子を含有する液体を塗布し、熱処理にて導電層に変換することで、半導体素子の一方の面と他方の面との電気的接続を図るようになってい。したがって、導電層を形成するだけであって、貫通穴に熔融材料を充填するのではないため、ボイドが形成されてしまうという問題が生じることがなく、電気的接続の高い信頼性を確保できる。また、前記液体をインクジェット法により必要な部分にだけ塗布することにより、プロセスを簡略化し、材料使用量をより少なくすることができる。

(2)この半導体装置の製造方法において、前記電極に、前記貫通穴と連通する穴を形成し、前記導電層を、前記電極の少なくとも一部に積層して形成してもよい。これによれば、導電層を、電極と電気的に接続して形成することができる。

【0005】(3)この半導体装置の製造方法において、前記貫通穴を、開口端部と、前記開口端部よりも径の大きい中間部と、を有する形状で形成してもよい。これによれば、貫通穴の中間部が大径となっているので、導電層を形成しやすい。

【0006】(4)この半導体装置の製造方法において、前記中間部を、全ての部分でほぼ同じ径で形成し、前記貫通穴を、前記開口端部と前記中間部を接続するテーパ部をさらに有する形状で形成してもよい。これによれば、中間部の径が全ての部分でほぼ等しいので、応力が均等にかかり、貫通穴を形成したことによる半導体素子の強度の低下を抑えることができる。

【0007】(5)この半導体装置の製造方法において、前記第1工程で、前記貫通穴よりも径の小さい小孔を予め形成し、前記小孔を拡大させて前記貫通穴を形成してもよい。これによれば、貫通穴を形成するよりも小さいエネルギーで小孔を形成することができ、小孔を形成しておくことで、貫通穴を形成するエネルギーが小さくて済む。

【0008】(6)この半導体装置の製造方法において、前記第1工程で、前記貫通穴を形成する位置に窪みを形成し、前記窪みによって位置決めして前記小孔を形成してもよい。これによれば、窪みによって貫通穴を形成する位置を確認できるので、貫通穴を正確な位置に形成することができる。

【0009】(7)この半導体装置の製造方法において、前記小孔をレーザービームで形成し、ウェットエッ

ティングによって前記小孔を拡大させてもよい。これによれば、容易に貫通穴を形成することができる。また、レーザービームで形成された小孔の内壁面が荒れていても、ウェットエッチングによってこれを拡大させるので、滑らかな内壁面の貫通穴を形成することができる。

【0010】(8)この半導体装置の製造方法において、電気的な接続部を形成する工程を含んでもよい。

【0011】(9)この半導体装置の製造方法において、前記接続部を、第2工程で前記導電層の一部として形成してもよい。

【0012】(10)この半導体装置の製造方法において、前記第1工程後であって、前記第2工程前に、前記貫通穴の内壁面に絶縁膜を形成する工程をさらに含み、前記第2工程で、前記絶縁膜上に前記導電層を形成してもよい。

【0013】(11)この半導体装置の製造方法において、前記絶縁膜を、化学気相堆積によって形成してもよい。

【0014】(12)この半導体装置の製造方法において、前記第1工程後であって、前記第2工程前に、前記液体を塗布しない領域を前記液体に対して撥液性とするような表面処理を行なってもよい。これによって、インクジェット法で液体を吐出する際に液滴の曲がりが多いが生じて、液滴はすべて親液性の部分におさまるため、塗布精度が高くなる。

【0015】(13)この半導体装置の製造方法において、前記表面処理は大気圧プラズマ処理であってもよい。これによって、簡便なプロセスで表面処理ができる。

【0016】(14)この半導体装置の製造方法において、前記表面処理は表面に自己組織化膜を形成するものであってもよい。これによって、低エネルギーで表面処理ができる。

【0017】(15)この半導体装置の製造方法において、前記半導体素子は、半導体チップであってもよい。

【0018】(16)この半導体装置の製造方法において、前記半導体素子は、半導体ウエーハの一部であってもよい。

【0019】(17)本発明に係る半導体装置の製造方法は、上記方法によって製造された半導体装置を積層し、上下の半導体装置の前記導電層を電気的に接続する工程を含んでもよい。

【0020】この半導体装置の製造方法には、三次元実装が適用される。

【0021】(18)この半導体装置の製造方法において、前記半導体ウエーハを個片に切断する工程を含んでもよい。

【0022】(19)本発明に係る半導体装置は、上記方法により製造されたものである。

【0023】(20)本発明に係る回路基板は、上記方

法により製造された半導体装置が実装されてなる。

【0024】(21) 本発明に係る電子機器は、上記方法により製造された半導体装置を有する。

【0025】

【発明の実施の形態】以下、本発明の好適な実施の形態について図面を参照して説明する。図1(A)は、本実施の形態で使用する半導体チップ10の一部を示す図である。半導体チップ10は一般的には直方体(立方体を含む)であるが、その形状は限定されず、球状であってもよい。

【0026】半導体チップ10は、図示しないトランジスタやメモリ素子などからなる集積回路が形成された表面に絶縁膜(層間膜)12を有する。絶縁膜12は、半導体チップ10の基本的な材料であるシリコンの酸化膜であることが多い。絶縁膜12上には電極(パッド)14が形成され、電極14は図示しない部分で集積回路と電気的に接続されている。電極14は、アルミニウムで形成されることが多い。電極14は、半導体チップ10の面の少なくとも1辺(多くの場合、2辺又は4辺)に沿って並んでいる。また、電極14は、半導体チップ10の面の端部に並んでいる場合と、中央部に並んでいる場合がある。

【0027】電極14は、集積回路の製造プロセスに応じて構成される。例えば、図1(A)に示す例では、絶縁膜12上に、電極14の下層部が形成され、下層部の端部に載る絶縁膜16、18が形成され、電極14の上層部が絶縁膜18上に至るように形成されている。また、電極14の中央部をさけて端部を覆って、パッシベーション膜20が形成されている。パッシベーション膜20は、例えば、 $\text{SiO}_2$ 、 $\text{SiN}$ 、ポリイミド樹脂などで形成することができる。

【0028】本実施の形態では、上記半導体チップ10を使用して、以下の方法で半導体装置を製造する。

【0029】図1(B)に示すように、半導体チップ10の、電極14が形成された面にレジスト22を形成する。レジスト22を形成する方法としては、スピンコート法、ディッピング法、スプレーコート法等の方法を用いることが可能である。レジスト22は電極14も覆って形成する。レジスト22は、後述するエッチング工程でエッチングしない部分を覆うものである。レジスト22は、フォトレジスト、電子線レジスト、X線レジストのいずれであってもよく、ポジ型又はネガ型のいずれであってもよい。本実施の形態で使用するレジスト22は、ポジ型のフォトレジストである。レジスト22は、コーティング後に、他の部材に付着しないようにするため、プリベークして溶剤を飛ばす。

【0030】図1(C)に示すように、レジスト22をバターニングする。詳しくは、レジスト22上にマスクを配置して、エネルギーを照射する。エネルギーは、レジスト22の性質によって異なり、光、電子線、X線の

いずれかである。本実施の形態ではレジスト22を露光する。マスクの形状は、バターニング形状によって決まり、レジスト22がポジ型であるかネガ型であるかによって反転形状となる。

【0031】露光後、レジスト22を現像しポストベークする。バターニングされたレジスト22には、電極14の中央部を露出させる開口部24が形成されている。

【0032】図2(A)に示すように、レジスト22の開口部24によって露出した電極14の中央部をエッチングする。エッチングにはドライエッチングを適用することが好ましい。ドライエッチングは、反応性イオンエッチング(RIE)であってもよい。また、エッチングとしてウェットエッチングを適用してもよい。こうして、電極14の中央部(端部を除く部分)に、穴26を形成する。穴26は、後述する貫通穴50の位置に形成される。詳しくは、穴26は、貫通穴50の開口端部とほぼ同じか、あるいはそれ以上の大きさに形成され、貫通穴50と連通する。

【0033】図2(B)に示すようにレジスト22を剥離する。そして、図2(C)に示すように、半導体チップ10の電極14が形成された側と、その反対側に絶縁膜28、30を形成する。絶縁膜28は、シリコン酸化膜や窒化膜であってもよく、化学気相堆積(CVD)によって形成することができる。絶縁膜28は、電極14及びパッシベーション膜20を覆う。電極14には穴26が形成されているので、絶縁膜28は、穴26の内部(内壁面及び露出した絶縁膜12)も覆う。

【0034】図3(A)に示すように、半導体チップ10の電極14が形成された側と、その反対側に、レジスト32、34を形成する。レジスト32、34には、上述したレジスト22について説明した内容が該当する。レジスト32、34のうち一方(例えばレジスト32)を(例えば半導体チップ10の電極14が形成された側に)形成し、プリベークしてから、他方(例えばレジスト34)を形成し、これをプリベークしてもよい。

【0035】図3(B)に示すように、レジスト32、34をバターニングして、後述する貫通穴50の位置に開口部36、38を形成する。開口部36は、電極14の穴26の内側に形成する。穴26と開口部36との間には、絶縁膜28が存在する。また、開口部36、38は、絶縁膜28、30の一部を露出させる。レジスト32、34のバターニングの方法には、上述したレジスト22について説明した内容を適用することができる。

【0036】図3(C)に示すように、絶縁膜12、28に、電極14の穴26の内側に穴40を形成し、絶縁膜30に穴42を形成する。

【0037】図4(A)に示すように、レジスト32、34を剥離する。そして、図4(B)に示すように、半導体チップ10の穴40、42にて露出した部分をエッチングする。このエッチングする部分は、集積回路が形



成されていない部分であり、シリコンで形成されている。このエッチングによって、半導体チップ10の表面に、視覚的に認識しやすい窪み44、46を形成する。窪み44、46の形状は、特に限定されず、テーパが付された形状であってもよいし、表面と垂直な壁面を有していてもよい。エッチングは、ウェットエッチングを適用することが簡単であるが、ドライエッチングを適用してもよい。エッチングの種類によって、窪み44、46の形状が決まる。

【0038】図4(C)に示すように、半導体チップ10に、小孔48(例えば直径約20 $\mu$ m)を形成する。小孔48は、後述する貫通穴50よりも小さい径で、貫通穴50の中心に形成する。小孔48の形成には、レーザ(例えばYAGレーザやCO<sub>2</sub>レーザ)を使用することができる。レーザビームは、上述した窪み44、46で位置を認識して照射することができる。レーザビームを、半導体チップ10の一方の面からのみ照射して小孔48を形成してもよいし、半導体チップ10の両面から(順番にあるいは同時に)レーザビームを照射してもよい。両面からレーザビームを照射すれば、半導体チップ10に与える影響が少ない。

【0039】次に、図5(A)に示すように、半導体チップ10に貫通穴50を形成する。貫通穴50は、上述した小孔48を拡大させて形成する。例えば、ウェットエッチングを適用して、小孔48の内壁面をエッチングしてもよい。エッチング液として、例えば、沸酸と沸化アンモニウムを混合した水溶液(パッファード沸酸)を用いてもよい。

【0040】貫通穴50は、開口端部と、開口端部よりも径の大きい中間部(例えば約40~50 $\mu$ mの径)と、を有する形状で形成してもよい。貫通穴50の中間部の径を、できるだけ大きくすることで、後述するCVDや液体のインクジェット塗布を行いやすい。中間部を、全ての部分でほぼ同じ径で形成してもよい。すなわち、貫通穴50の中間部の内壁面が、貫通穴50の中心軸を通る断面において、直線を描いてもよい。この形状は、小孔48をウェットエッチングで拡大することで得られる。この形状によれば、貫通穴50を形成することによる半導体チップ10の強度の低下を抑えることができる。貫通穴50は、開口端部と中間部とを接続するテーパ部を有していてもよい。テーパ部も、小孔48をウェットエッチングで拡大することで形成される。

【0041】次に、図5(B)に示すように、少なくとも貫通穴50の内壁面に絶縁膜52を形成する。絶縁膜52の形成には、CVDを適用してもよい。貫通穴50の中間部の径が、開口端部の径よりも大きければCVDを行いやすい。絶縁膜52は、貫通穴50の内壁面以外の領域に形成されてもよい。例えば、絶縁膜28、30上に絶縁膜52が形成されてもよい。ただし、絶縁膜52によって、貫通穴50の開口を塞がないようにする。

【0042】図5(C)に示すように、半導体チップ10の電極14が形成された側にレジスト54を形成する。レジスト54は、半導体チップ10の貫通穴50の、一方の開口を塞いで形成される。レジスト54の構成及びその形成方法には、上述したレジスト22について説明した内容を適用できる。なお、レジスト54を形成するときに、その反対側にもレジスト56が形成されてもよい。そして、レジスト54、56をプリベークする。

【0043】図6(A)に示すように、電極14の側に形成されたレジスト54をパターニングして、開口部58を形成する。開口部58は、電極14の少なくとも一部上方に形成されているが、貫通穴50の上方には、レジスト54の一部が残されたままとなっている。例えば、開口部58は、電極14の範囲内に収まる形状の外周と、少なくとも貫通穴50の開口端部を覆う形状の内周と、の間にリング状で形成されている。なお、ここでいうリング状とは角リング状であっても丸リング状であってもよい。開口部58は、絶縁膜52の一部を露出させる。パターニング方法については、上述したレジスト22について説明した内容を適用することができる。パターニングが終わると、レジスト54を現像し、ポストベークする。

【0044】図6(B)に示すように、パターニングされたレジスト54をマスクとして、絶縁膜52、28をエッチングして、電極14の一部を露出させる。ここで露出する電極14の一部は、電気的な接続を図る部分であるから、大きいことが好ましい。レジスト54、56は、その後、剥離する。

【0045】次に、図7(A)に示すように、半導体チップ10の両側に、レジスト60、62を形成する。電極14が形成された側に形成するレジスト60は、段差の大きい領域に形成されるため、予めフィルム状をなしたものの(ドライフィルム)であることが好ましい。

【0046】図7(B)に示すように、レジスト60、62をパターニングして、後の工程で導電層を形成する部分(電極14と貫通穴50と絶縁層52の一部を覆う部分)のレジストを残してそれ以外のレジストを除去する。

図8(A)に示すように、レジスト60、62を除去した部分(後の工程で導電層を形成しない部分)に対して、後述のインクジェット法で塗布する金属微粒子を含有した液体に対して撥液性となるように表面処理を行なう。これは、例えば大気圧にてCF<sub>4</sub>、プラズマ処理をすることによって得られる。撥液化の表面処理は、自己組織化膜を用いても良い。自己組織化膜を用いる場合には、例えば0.1g程度のヘプタデカフルオロテトラヒドロデシルトリエトキシシランの液体と半導体チップを100リットル程度の密閉容器に入れて、室温で1日程度もしくは100℃にて1時間程度保持すれば半導体チ

ップ全面に撥液性の自己組織化単分子膜が形成される。その後、図8(B)に示すように、レジスト60、62上に形成された撥液性の表面68をレジストとともに除去する。これにより、レジストに覆われていた電極14と貫通穴50の内部と絶縁膜52の一部は液体に対して親液性となり、レジストがなかった部分は液体に対して撥液性となる。

【0047】次に、図8(C)に示すように、金属微粒子を含有した液体69を、インクジェット方式にて吐出し、貫通穴50の内部、電極14、および絶縁膜52の一部(親液性の部分)に選択的に配置する。ここで、インクジェット方にて液滴を吐出する際に多少液滴の飛行経路が曲がって着弾位置がずれたとしても、導電層を形成しない部分は撥液性の表面68となっているため、液滴はすべて親液性の部分におさまる。一箇所の貫通穴および電極の部分に配置する液体の量は、塗布領域の面積、貫通穴の大きさ、および液体の濃度などによって適宜調節し、溶剤の乾燥後に金属微粒子が貫通穴の内部と電極14を連続的に覆う程度の量の液体を一箇所の塗布領域に吐出する。一箇所に配置する液体の量の調整はインクジェットによって吐出する液滴のサイズや吐出回数などによって行うことができる。また、貫通穴内部に液体を一様に塗布するために、基板の両面からインクジェット法により塗布することもできる。通常、インクジェットヘッドから吐出される液滴の大きさは、直径10 $\mu$ mから100 $\mu$ m程度の大きさである。このように、インクジェット方式によれば、インクジェットプリンタ用に実用化された技術を応用することで、高速かつ液体を無駄なく経済的に塗布することが可能である。インクジェットヘッドは、例えばインクジェットプリンタ用に実用化されたもので、圧電素子を用いたピエゾジェットタイプ、あるいはエネルギー発生素子として電気熱変換体を用いたタイプ等が使用可能であり、吐出面積および吐出パターンは任意に設定することが可能である。これによって、レジストパターニング工程及びレジスト剥離工程を行うことなく、電気的な接続部を形成することが可能になる。

【0048】ここで、インクジェット方式で吐出する金属微粒子を含有した液体としては、例えば金、銀、銅などの超微粒子を液体中に分散させたものを用いることができる。溶剤としては有機溶剤や水など任意のものを使うことができる。例えば、有機溶剤に金の超微粒子を分散させた液体として市販されているものとして、真空冶金社製の商品名「パーフェクトゴールド」が挙げられる。これらの液体は適当な溶剤や表面張力調整剤を添加して、インクジェット吐出が可能となるような粘度、表面張力に調整してから用いることもできる。

このようにして液体を貫通穴の内部50と電極14の上に配置した後、溶剤を乾燥除去するために第一の加熱処理を行う。第一の加熱処理の後、金属微粒子同士の電気

伝導を得るために通常100℃から400℃程度で10分から1時間程度の第二の熱処理を行う。これによって良好な電気伝導性と基板への密着が得られる。

その後、必要なら表面処理にて形成した撥液性の表面を除去、もしくは表面処理によって親液化する工程を経てもよい。これは自己組織化単分子膜の場合には例えば紫外線を照射することによって単分子膜を除去し、親液化することができる。

【0049】さらに、電気的な接続部72を設けてもよい。導電層70の一部を接続部72としてもよい。その場合には、導電層70を厚く(例えば約5 $\mu$ m以上)形成することが好ましい。

【0050】以上の工程により、図9(B)に示す半導体装置が得られる。上記工程によれば、導電層70によって、半導体チップ10の両面間の電気的な接続を図ることができる。半導体装置1は、複数の電極14を有し、貫通穴50が形成された半導体チップ10と、貫通穴50の内側を含む領域に形成された導電層70と、を含む。貫通穴50の形状は上述した通りである。導電層70は、電極14の少なくとも一部に積層して形成されている。また、導電層70の一部が、電気的な接続部72となっている。貫通穴50の内側において、導電層70の下には絶縁膜52が形成されており、半導体チップ10の内部に形成された集積回路との電気的接続を遮断している。

【0051】上述した工程は、半導体チップ10に対して行ったが、これを半導体ウエーハに対して行ってもよい。例えば、図10に示すように、半導体ウエーハ80に対して上記工程を行って、電気的な接続部82を形成してもよい。この半導体ウエーハ80をダイシングして、図9に示す半導体装置1を得ることができる。

【0052】また、図11に示すように、複数の半導体装置1を積層した、三次元実装型(スタック型)の半導体装置を製造することもできる。図11に示す例では、上下の半導体装置1の接続部72を、ハンダ等のロウ材84によって電気的に接合してある。

【0053】接着剤は、液状又はゲル状の接着剤であってもよいし、シート状の接着シートであってもよい。接着剤は、エポキシ樹脂を主な材料とするものであってもよい。接着剤は、絶縁性のものであってもよい。

【0054】接着剤中には、被接続体同士の電気的な接続性能を向上させるために、導電性物質を含んでいてもよい。導電性物質は、例えば、ロウ材、ハンダ等の粒子で構成され、それらが接着材料中に分散している。こうすることで、被接続体同士の接合時に、その粒子が接合のロウとして働き、接合性をさらに著しく向上させることができる。

【0055】接着剤は、導電粒子が分散された異方性導電接着剤(ACA)、例えば異方性導電膜(ACF)や異方性導電ペースト(ACP)であってもよい。異方性

導電接着剤は、バインダに導電粒子（フィラー）が分散されたもので、分散剤が添加される場合もある。異方性導電接着剤のバインダとして、熱硬化性の接着剤が使用されることが多い。その場合には、配線パターンと電極との間に、導電粒子が介在して両者間の電氣的な接続が図られる。

【0056】絶縁性の接着剤の収縮力を利用して、接続部72同士を直接的に接合するとともに、接着剤にて上下の半導体装置1を接着してもよい。この場合には、接続部72がバンプの形状で形成されていることが好ましい。

【0057】接続部72間の電氣的な接続には、Au-Au、Au-Sn、ハンダなどによる金属接合を適用してもよい。例えば、熱のみ、超音波振動のみ、あるいは超音波振動及び熱などを印加して両者を接合する。接合されると、振動や熱によって接続部72を構成する材料が拡散して金属接合が形成される。

【0058】また、最も下（又は最も上）に位置する半導体装置1の接続部72には、外部端子86が設けられる。外部端子86はハンダや金属などで形成することができるが、導電性の部材で形成すればよい。本実施の形態では、外部端子86は、ハンダボールである。

【0059】また、ハンダボールは必ずしも必要ではなく、半導体装置を基板上に実装して、半導体モジュールを構成してもよい。さらに、ハンダボールを形成せず、マザーボード実装時にマザーボード側に塗布されるハンダクリームを利用し、その溶融時の表面張力で電氣的接続部を形成してもよい。

【0060】また、上述した工程を行った図10に示す複数の半導体ウエーハ80を積層して、各接続部82を電氣的に接合し、その後、ダイシングを行って図11に示す半導体装置を製造してもよい。

【0061】図12には、本実施の形態に係る半導体装置1を実装した回路基板1000が示されている。回路基板1000には例えばガラスエポキシ基板等の有機系基板を用いることが一般的である。回路基板1000には例えば銅などからなる配線パターンが所望の回路となるように形成されていて、それらの配線パターンと半導体装置1の接続部72とを機械的に接続することでそれらの電氣的導通を図る。

【0062】そして、本発明を適用した半導体装置1を有する電子機器として、図13にはノート型パーソナルコンピュータ2000、図14には携帯電話3000が示されている。

【0063】なお、上述した実施の形態の「半導体チップ」を「電子素子」に置き換えて、電子部品を製造することもできる。このような電子素子を使用して製造される電子部品として、例えば、光素子、抵抗器、コンデンサ、コイル、発振器、フィルタ、温度センサ、サーミスタ、バリスタ、ボリューム又はヒューズなどがある。

#### 【図面の簡単な説明】

【図1】図1(A)～図1(C)は、本発明を適用した実施の形態に係る半導体装置の製造方法を示す図である。

【図2】図2(A)～図2(C)は、本発明を適用した実施の形態に係る半導体装置の製造方法を示す図である。

【図3】図3(A)～図3(C)は、本発明を適用した実施の形態に係る半導体装置の製造方法を示す図である。

【図4】図4(A)～図4(C)は、本発明を適用した実施の形態に係る半導体装置の製造方法を示す図である。

【図5】図5(A)～図5(C)は、本発明を適用した実施の形態に係る半導体装置の製造方法を示す図である。

【図6】図6(A)～図6(B)は、本発明を適用した実施の形態に係る半導体装置の製造方法を示す図である。

【図7】図7(A)～図7(B)は、本発明を適用した実施の形態に係る半導体装置の製造方法を示す図である。

【図8】図8(A)～図8(C)は、本発明を適用した実施の形態に係る半導体装置の製造方法を示す図である。

【図9】図9は、本発明を適用した実施の形態に係る半導体装置を示す図である。

【図10】図10は、本発明を適用した実施の形態に係る半導体装置の製造方法を示す図である。

【図11】図11は、本発明を適用した実施の形態に係る他の半導体装置を示す図である。

【図12】図12は、本実施の形態に係る半導体装置が実装された回路基板を示す図である。

【図13】図13は、本実施の形態に係る半導体装置を有する電子機器を示す図である。

【図14】図14は、本実施の形態に係る半導体装置を有する電子機器を示す図である。

#### 【符号の説明】

10 半導体チップ

14 電極

26 穴

44 窪み

46 窪み

48 小孔

50 貫通穴

68 撥水層

69 液体

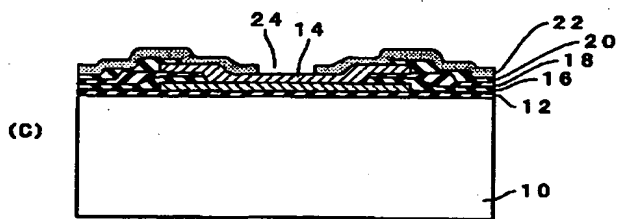
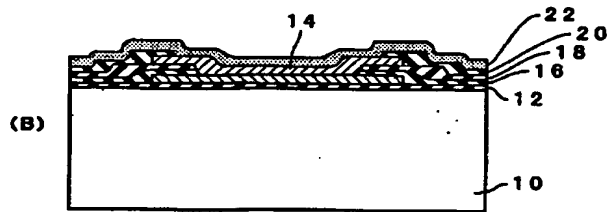
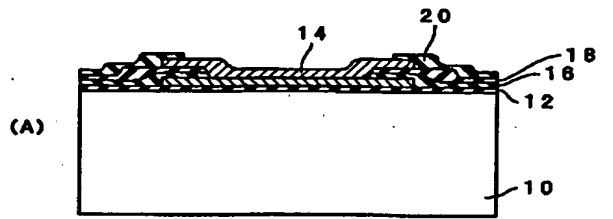
70 導電層

72 接続部

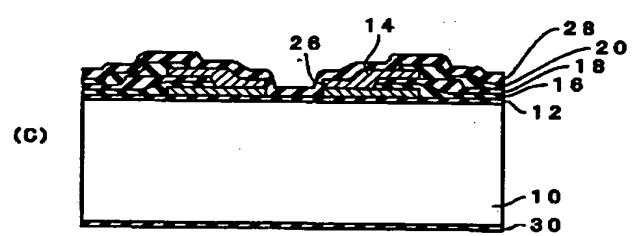
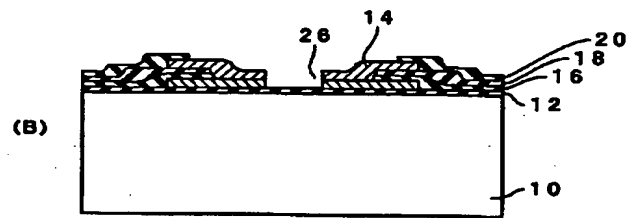
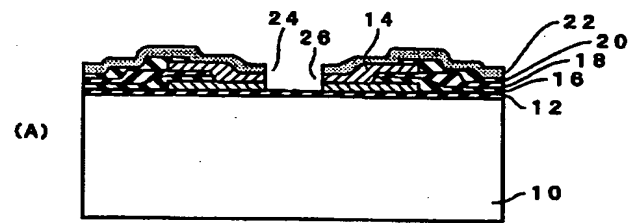
80 半導体ウエーハ

## 82 接続部

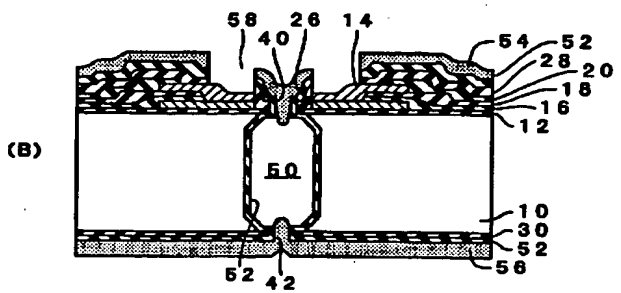
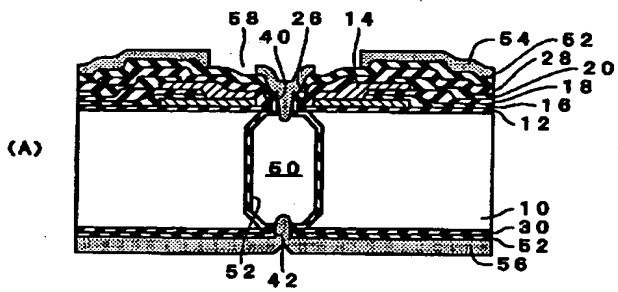
【図1】



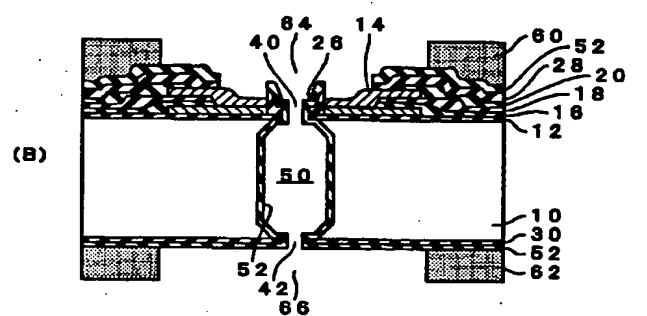
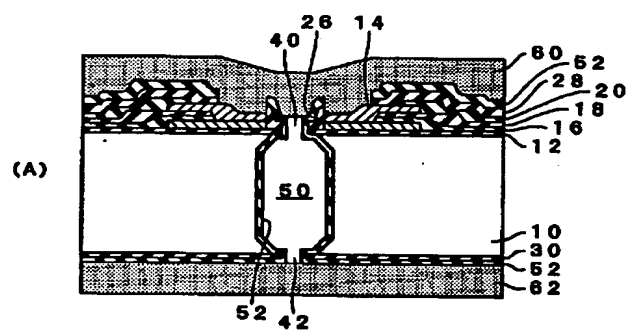
【図2】



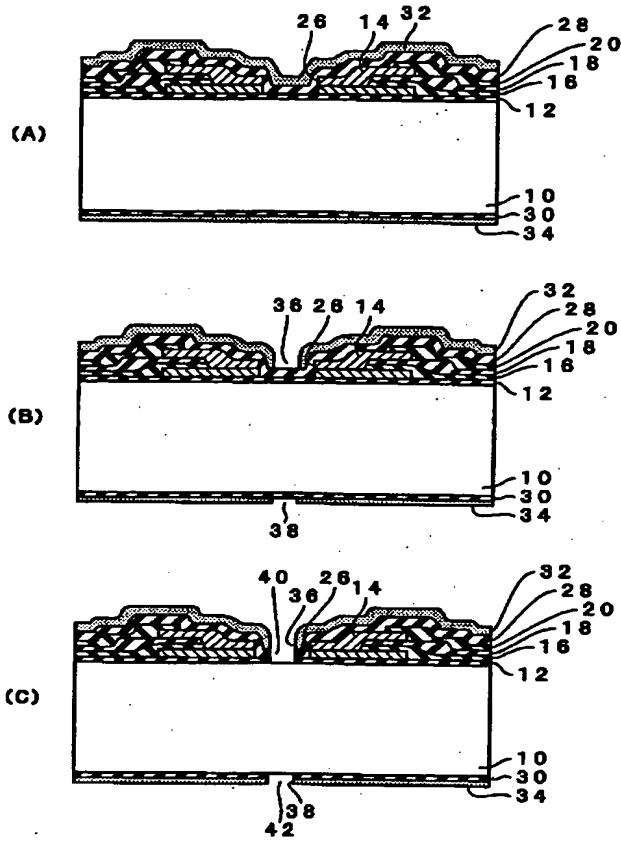
【図6】



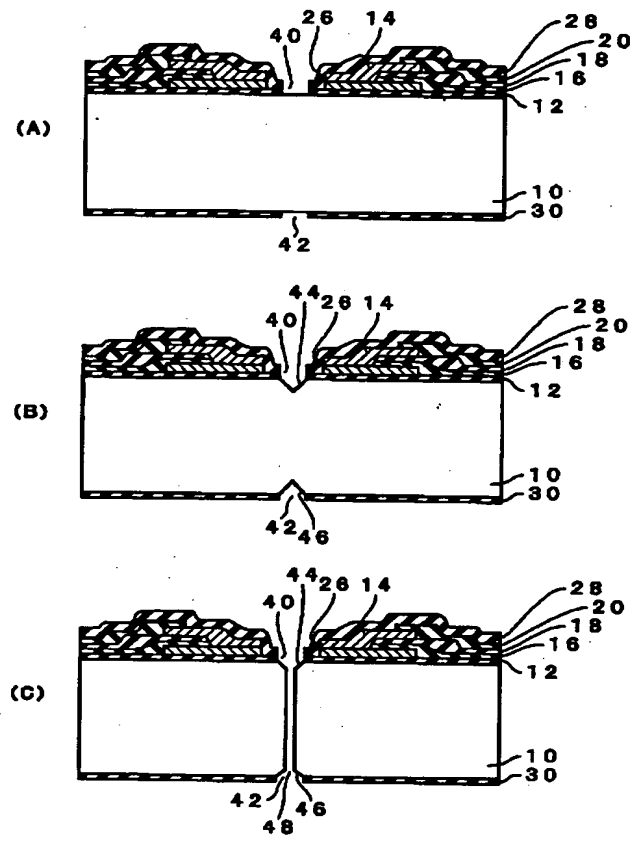
【図7】



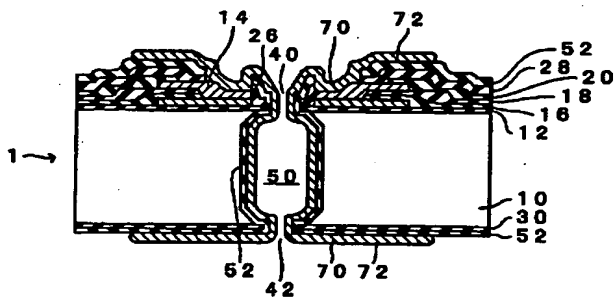
【図3】



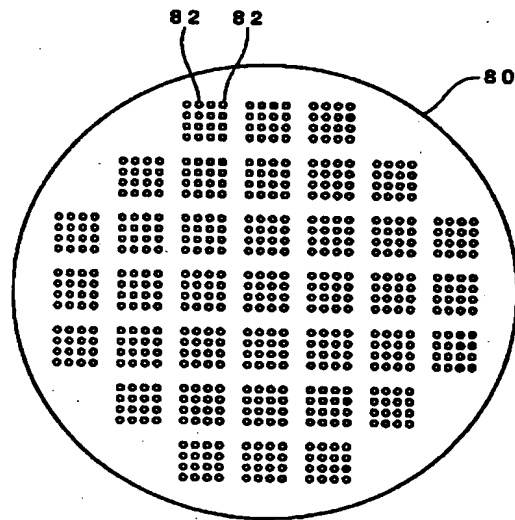
【図4】



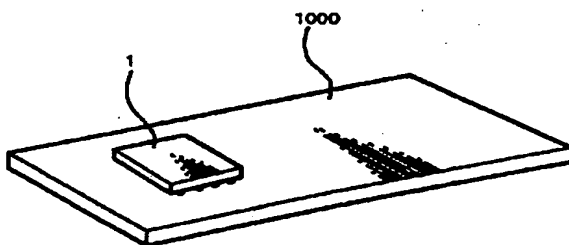
【図9】



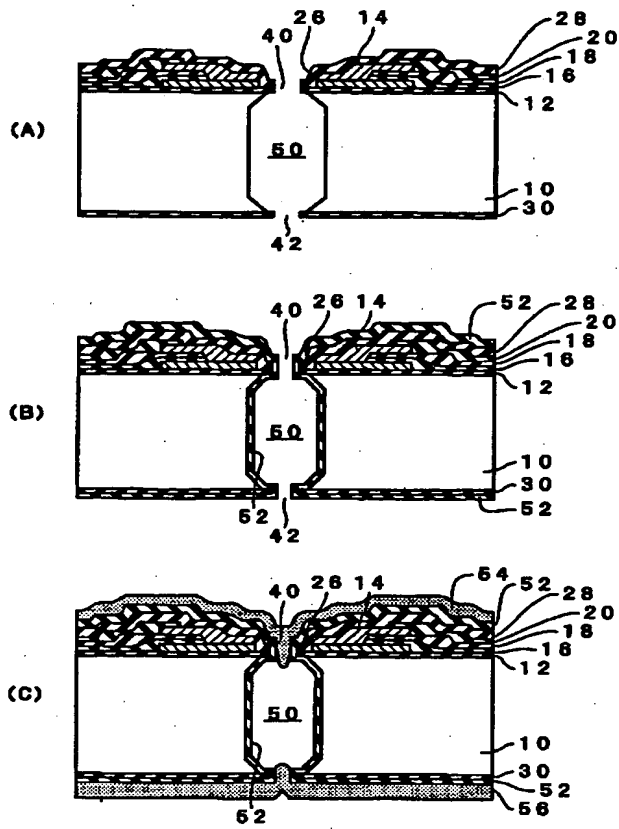
【図10】



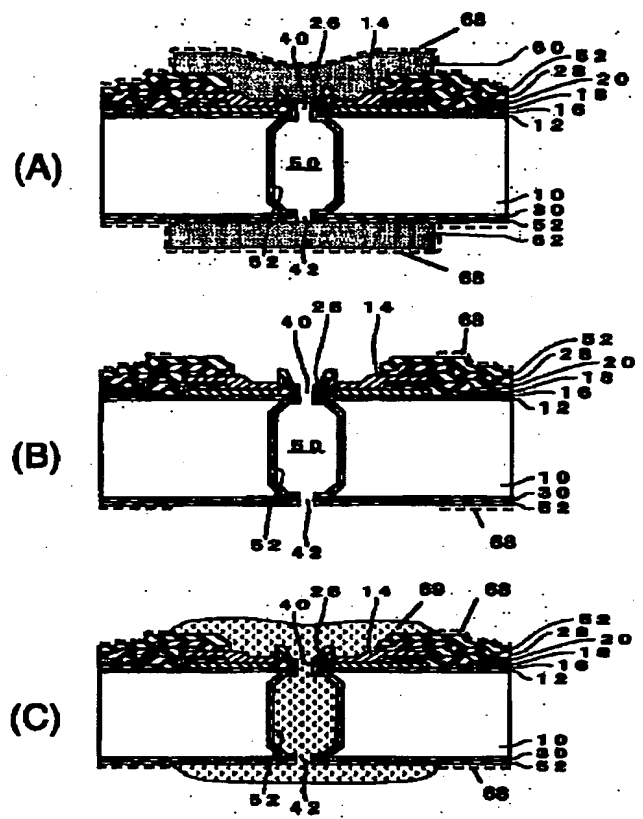
【図12】



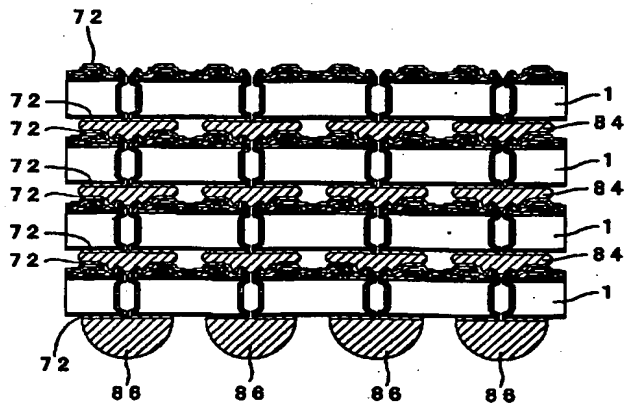
【図 5】



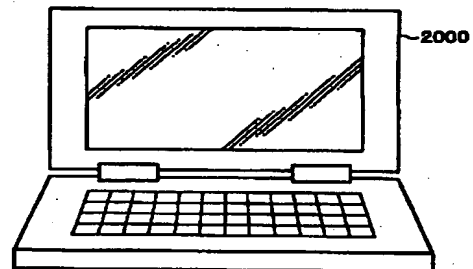
【図 8】



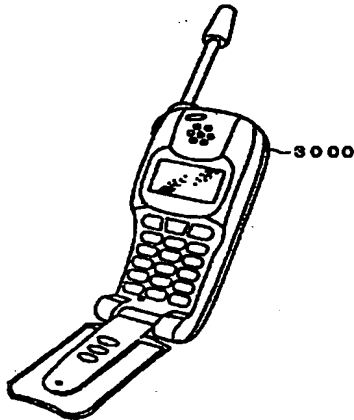
【図 11】



【図 13】



【図 14】




---

フロントページの続き

(51) Int. Cl.<sup>7</sup>

識別記号

F I

テーマコード (参考)

H 0 1 L 29/41

Fターム(参考) 4M104 BB04 BB08 BB09 DD07 DD08  
 DD09 DD10 DD22 DD46 DD51  
 FF02  
 5F033 HH11 HH13 HH14 JJ11 JJ13  
 JJ14 KK11 KK13 KK14 MM30  
 PP26 QQ00 QQ07 QQ09 QQ11  
 QQ13 QQ19 QQ53 QQ73 RR04  
 RR06 SS11

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**